

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 3-289172 (A) (43) 19.12.1991 (19) JP

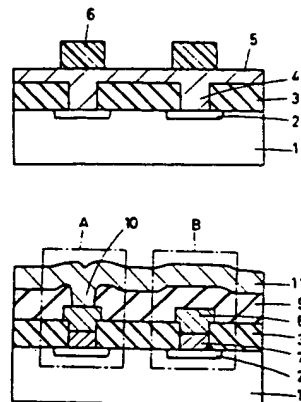
(21) Appl. No. 2-91915 (22) 5.4.1990

(71) MATSUSHITA ELECTRON CORP (72) KENJI MITSUI(1)

(51) Int. Cl.<sup>5</sup> H01L27/112; H01L29/91

**PURPOSE:** To cope with high integration and large capacity by forming a diode element perpendicularly to the surface of the other conductivity type region formed on one conductivity type semiconductor substrate thereon.

**CONSTITUTION:** An N-type diffused layer 2 is formed on a P-type silicon substrate 1, and then a first opening 4 is formed in a formed first insulating film 3. Thereafter, an N-type diffused layer 7 of phosphorus and a P-type diffused layer 8 of boric acid are formed on a silicon layer 5 buried in the opening 4. After a second insulating film 9 is formed, a second opening 10 for connecting the layer 8 to an electrode wiring layer 11 is formed, the layer 11 is formed. With the formation, a diode element is formed of the layers 7, 8 in a height direction between the layer 2 formed on the substrate 1 of the lower layer and the layer 11 formed on the uppermost part.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-289172

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月19日

H 01 L 27/112  
29/91

8831-4M H 01 L 27/10 433  
7638-4M 29/91 L

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-91915

⑰ 出 願 平2(1990)4月5日

⑱ 発 明 者 三 井 健 二 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
⑲ 発 明 者 西 本 敏 夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
⑳ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 官 井 暎 夫

#### 明 細 書

##### 1. 発明の名称

半導体装置の製造方法

##### 2. 特許請求の範囲

一導電型の半導体基板の主表面に他の導電型の領域を形成する工程と、

前記半導体基板上に第1の絶縁膜を形成する工程と、

この第1の絶縁膜に前記他の導電型の領域の表面が露出するように第1の開口部を形成する工程と、

前記第1の開口部に単結晶化したシリコン層を形成する工程と、

このシリコン層に不純物を注入して下層に他の導電型の領域を形成し上層に一導電型の領域を形成する工程と、

前記半導体基板上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に前記シリコン層の表面が露出するように第2の開口部を形成する工程と、

前記半導体基板上に前記露出したシリコン層に接続する電極配線層を形成する工程とを含む半導体装置の製造方法。

##### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、特に高集積化に対応できる半導体装置の製造方法に関するものである。

(従来の技術)

例えば、P型のシリコン基板を用いてMOS構造の読み出し専用メモリ装置を製造する場合について第2図に基づいて説明する。

まず、第2図(a)に示すように、P型のシリコン基板1の主表面に素子分離用の二酸化ケイ素膜21とゲート酸化膜22を形成した後にゲート電極とする多結晶シリコン膜24を化学蒸着法により約400nmの厚さに形成する。その後、多結晶シリコン膜24の配線抵抗をさげるために、表面から燐を拡散させたのち、フォトリソで23でゲート電極配線を形成するためのパターンを形成する。

つぎに、第2図(c)に示すように、ドライエッチング方法により多結晶シリコン膜24をエッチングして、ゲート電極配線パターン25を形成する。その後、イオン注入法によりヒ素を40 KeVで $4 \times 10^{18}$ 個/cm<sup>2</sup>程度注入し、900℃で30分間程度熱処理を加えてN型の拡散層26(ソースおよびドレイン領域)を形成する。しかるのち、その表面に化学蒸着法により二酸化ケイ素膜27を形成する。

そして、第2図(c)に示すように、二酸化ケイ素膜27に、フォトリソによるパターン形成とエッチング方法によりN型の拡散層26と電極配線層29とを接続するための開口部28を形成した後、スパッタ法によりアルミニウム膜を形成し、これを所定のパターンにエッチングして電極配線層29を形成する。

通常トランジスタの導通・非導通によって情報"1"・"0"に対応させるので、N型の拡散層26と電極配線層29とのコンタクトが設けられた領域Cの部分のMOS型トランジスタを選択し

たときにデータ"1"とし、コンタクトが設けられていない領域Dの部分のMOS型トランジスタを選択したときにデータ"0"としている。

〔発明が解決しようとする課題〕

従来の方法によれば、メモリセルとなる素子を平面的に形成しているためメモリセルの占有面積が大きくなり、高集積化および大容量化への対応が困難であるという問題があった。

この発明の目的は、高集積化および大容量化への対応ができる半導体装置の製造方法を提供することである。

〔課題を解決するための手段〕

この発明の半導体装置の製造方法は、一導電型の半導体基板の主表面に他の導電型の領域を形成する工程と、

半導体基板上に第1の絶縁膜を形成する工程と、

第1の絶縁膜に他の導電型の領域の表面が露出するように第1の開口部を形成する工程と、

第1の開口部に単結晶化したシリコン層を形成する工程と、

このシリコン層に不純物を注入して下層に他の導電型の領域を形成し上層に一導電型の領域を形成する工程と、

半導体基板上に第2の絶縁膜を形成する工程と、

第2の絶縁膜にシリコン層の表面が露出するように第2の開口部を形成する工程と、

半導体基板上に露出したシリコン層に接続する電極配線層を形成する工程とを含む。

〔作用〕

この発明の構成によれば、一導電型の半導体基板に形成された他の導電型の領域の表面上に、その表面と垂直方向にダイオード素子が形成できるため、従来の方法に比べてメモリセルの占有面積を大幅に減少することが可能であり、高集積化および大容量化に対応できる半導体装置の製造が可能となる。

〔実施例〕

この発明の一実施例として、読み出し専用メモリ装置を製造する場合について第1図に基づいて説明する。

まず、第1図(a)に示すように、P型のシリコン基板1に所定のマスクパターンを用いてN型の拡散層2を形成する。その後、化学蒸着法で二酸化ケイ素膜よりなる第1の絶縁膜3を形成してから、フォトリソによるパターン形成とエッチング方法によりN型の拡散層2の表面が露出するように、第1の絶縁膜3に第1の開口部4を設けたのち、その表面に化学蒸着法により多結晶シリコン層を形成してからレーザビーム法等の方法で加熱することにより、少なくとも第1の開口部4に埋め込まれた多結晶シリコン層を含む部分を単結晶化し、フォトリソのパターン6を形成する。5は単結晶化したシリコン層である。

つぎに、第1図(b)に示すように、単結晶化したシリコン層5を所定のパターンにエッチング形成した後、フォトリソのパターン6を除去する。その後、イオン注入法により、第1の開口部4に埋め込まれたシリコン層5にまず $1 \times 10^{18}$ 個/cm<sup>2</sup>注入する。このときの加速電圧は、第1の開口部4に埋め込まれたシリコン層5の膜厚に応

じて、P型のシリコン基板1に形成されたN型の拡散層2側に焼が集まるように設定する。つぎに、ホウ素またはホウ素を含むイオン種を第1の開口部4に埋め込まれたシリコン層5に $3 \times 10^{18}$ 個/cm<sup>2</sup>注入する。このときの加速電圧は、第1の開口部4に埋め込まれたシリコン層5の表面にホウ素またはホウ素を含むイオン種が集まるように設定する。その後、900℃で30分間の熱処理を行って、第1の開口部4に埋め込まれたシリコン層5に焼によるN型の拡散層7とホウ素によるP型の拡散層8を形成する。

そして、第1図(c)に示すように、二酸化ケイ素膜よりなる第2の絶縁膜9を形成した後、P型の拡散層8と電極配線層11との接続のための第2の開口部10を形成する。その後、スパック法によりアルミニウム膜を形成して所定のパターンにエッチングして電極配線層11を形成する。

このように形成することで、下層のシリコン基板1に形成されたN型の拡散層2と最上部に形成された電極配線層11との間の高さ方向に、N型

の拡散層7およびP型の拡散層8によりダイオード素子が形成できるため、P型の拡散層8と電極配線層11とのコンタクトが設けられた領域Aの部分を選択したときにデータ“1”とし、コンタクトが設けられていない領域Bの部分を選択したときにデータ“0”とすることができる。

このように形成することで従来のように平面的でなく、下層のシリコン基板1に形成されたN型の拡散層2と最上部に形成された電極配線層11との間の高さ方向にダイオード素子が形成できるため、従来の方法に比べてメモリセルの占有面積を大幅に減少することが可能であり、高集積化および大容量化に対応できる半導体装置を提供することができる。

この実施例では、読み出し専用メモリ装置について説明したが、これに限定されるものではなく、また使用する半導体基板もP型でなくともよい。また、単結晶化したシリコン層5に注入する不純物も焼とホウ素に限定されず1種もしくは複数種の組み合わせであってもよく、また、注入量も形

成する素子の特性に合わせて決定すればよい。さらに、使用する電極配線層11もアルミニウムに限定されるものではなく、アルミニウム合金膜や高融点金属膜あるいはそれらのシリサイド膜などでもよい。

また、単結晶化したシリコン層5を所定のパターンにエッチング形成する場合に、フォトリソ等マスクパターンを用いずに、ドライエッチングによるエッチバック法を用いてもよく、また多結晶シリコン層を所定のパターンにエッチングしてからレーザビーム法等の方法で単結晶化してもよい。また、多結晶シリコン層を単結晶化するかわりに、単結晶シリコン層を形成してもよいことは明らかである。

さらに使用する絶縁膜3、9は二酸化ケイ素膜でなく、窒化ケイ素膜あるいは複数種の組み合わせでもよい。

#### (発明 効果)

この発明の半導体装置の製造方法によれば、一導電型の半導体基板に形成された他の導電型の領

域の表面上に、その表面と垂直方向にダイオード素子が形成できるため、従来の方法に比べてメモリセルの占有面積を大幅に減少することが可能であり、高集積化および大容量化に対応できる半導体装置を提供することができる。

#### 4. 図面の簡単な説明

第1図はこの発明による半導体装置の一実施例の製造工程を示した図、第2図は従来の方法による半導体装置の製造工程を示した図である。

1…P型のシリコン基板、2、7…N型の拡散層、3…第1の絶縁膜、4…第1の開口部、5…単結晶化したシリコン層、8…P型の拡散層、9…第2の絶縁膜、10…第2の開口部、11…電極配線層

特許出願人 松下電子工業株式会社

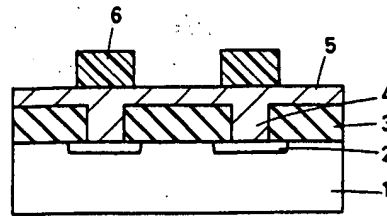
代理人 弁理士 宮井 映夫



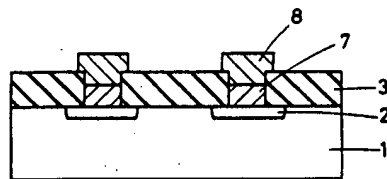
第 1 図

- 1-P型のシリコン基板
- 2, 7-N型の拡散層
- 3-第1の絶縁膜
- 4-第1の開ロ部
- 5-単結晶化したシリコン層
- 6-P型の拡散層
- 8-P型の拡散層
- 9-第2の絶縁膜
- 10-第2の開ロ部
- 11-電圧電線層

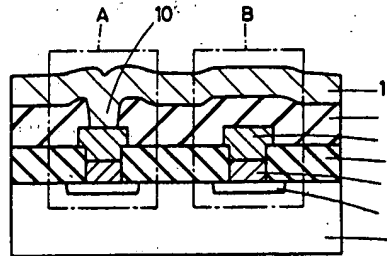
(a)



(b)

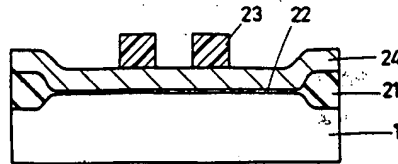


(c)

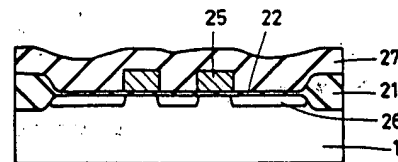


第 2 図

(a)



(b)



(c)

